



전방 상황 인지를 위한 얼굴 검출 가속기

경북대학교 일반대학원 전자전기공학부

현종길, 민경국, 문병인

서론

최근 꾸준히 증가하고 있는 실종 아동 문제에 활용할 수 있는 신원확인 정보처리 가속기 개발이 요구되고 있다. 신원확인 정보처리 가속기를 개발하기 위해 얼굴 영역만을 추출할 수 있는 얼굴 검출 가속기의 개발이 요구된다. 카메라 센서를 통해 입력받은 영상에서 얼굴 영역만을 추출하기 위해 AdaBoost 학습 알고리즘[1]을 기반으로 한 얼굴 검출 가속기를 설계하였다. 설계한 얼굴 검출 가속기는 이미지 피라미드 구조를 적용하여 하나의 영상에서 다양한 크기의 얼굴을 검출할 수 있으며, 분류기(Classifier)를 반복적으로 재사용하기 때문에 저면적/저전력으로 동작이 가능하다. 특히, 얼굴 검출 가속기를 ASIC으로 개발할 경우 저전력 동작이 요구되는 다양한 엣지 디바이스에서의 활용도가 더 높아지게 된다. 이에 본 연구진은 AdaBoost 기반 얼굴 검출 가속기를 설계하고, 설계한 가속기를 삼성 28nm 공정을 통해 ASIC으로 개발하였다.

얼굴 검출 가속기의 하드웨어 구조

얼굴 검출 가속기의 하드웨어 구조는 그림 1과 같이 입출력 인터페이스, 프레임 버퍼(Frame Buffer), 스케일러(Scaler), 주소 생성기(Address Generator), 라인 버퍼(Line Buffer), 적분 영상(Integral Image), 캐스케이드 분류기(Cascade Classifier), 병합(Merge) 모듈 등으로 구성된다.

적분 영상 모듈은 word length reduction 기법[1]이 적용되어 적분 영상이 차지하는 메모리 사용량을 절반으로 줄어들었다. 캐스케이드 분류기 모듈은 병렬화 구조의 약분류기(Weak Classifier)를 반복적으로 사용하여 분류 연산을 빠르게 수행할 수 있도록 설계되었다. 그리고 출력단에 BT.1120을 추가하여 얼굴 검출 결과 출력 인터페이스의 호환성을 높였다.

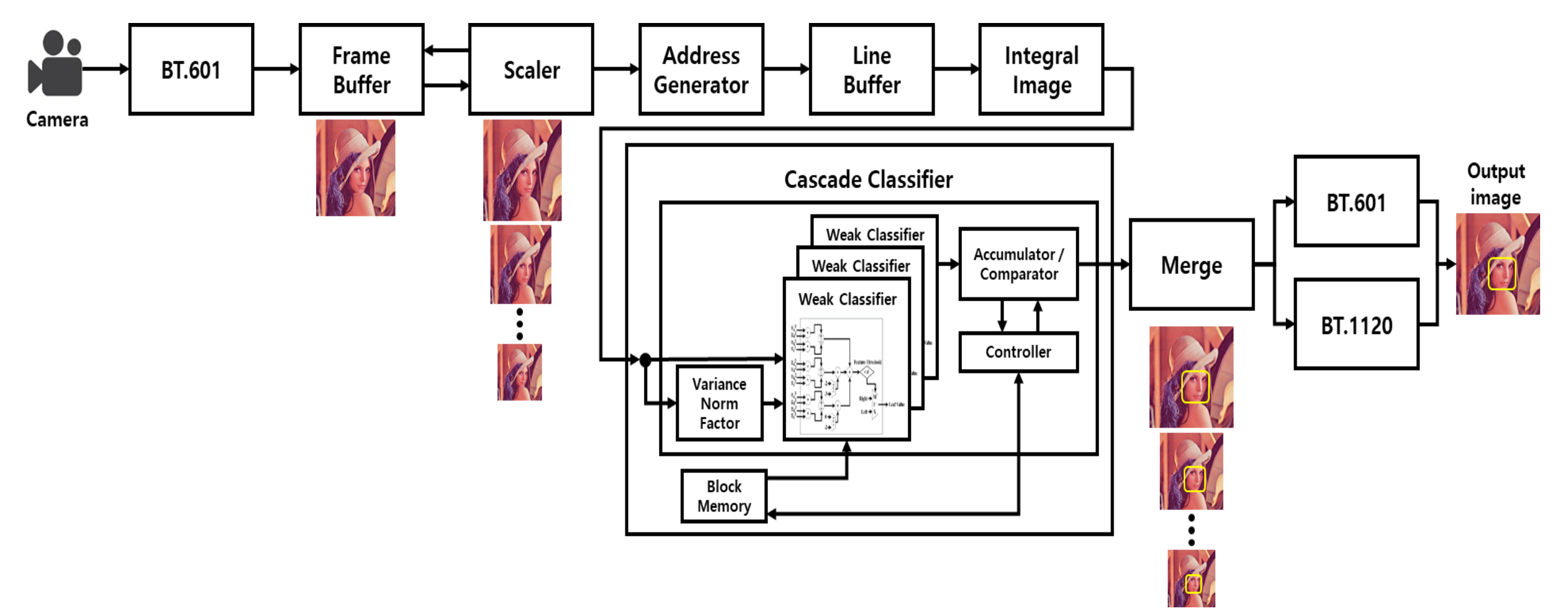


그림 1. 얼굴 검출 가속기의 하드웨어 구조

ASIC 설계

Verilog HDL을 활용하여 앞서 기술된 하드웨어 구조를 설계하고 FPGA를 통해 실험 환경 동작을 검증하였다. 얼굴 검출 가속기의 설계 사양은 표 1과 같으며, Gate count 부분은 Design compiler로 합성한 결과이며, Power 부분은 Layout 이후 ICC2를 통해 리포트된 결과이다. ASIC 개발 과정은 FPGA를 통해 검증이 완료된 HDL을 기반으로 표 2의 과정을 순차적으로 수행하였으며, 최종적인 칩 레이아웃은 그림 2와 같다.

Specifications	
Image resolution	1920 × 1080
Frequency	148.5Mhz
Memory	34 SRAMs of 7680×128 21 SRAMs of 640×8 9 ROMs of 256×60 9 ROMs of 256×18 9 ROMs of 256×24 1 ROMs of 256×27
Gate count	822,424
Power	31.3mW
Die size	4 mm × 4 mm

표 1. ASIC 설계 사양

칩 동작 검증 환경

칩의 동작을 검증하기 위한 환경은 그림 3과 같다. 칩 테스트 보드에 칩을 마운트 하고 해당 보드와 FPGA보드를 서로 연결한다. FPGA보드는 테스트용 입력 이미지를 테스트보드로 전송하고 칩에서 나온 결과 영상은 다시 FPGA로 받아 인터페이스 보드를 통해 PC로 전송하며, 최종적으로 결과 영상을 PC에서 확인하여 동작 검증을 완료한다.

FPGA보드, 인터페이스 보드, PC는 기존의 연구실 기자재를 활용하여 구성하였다. 칩 테스트 보드의 경우 칩의 핀맵과 데이터 신호의 무결성을 위해서 별도의 전용 보드를 제작하여 구성한다.

결론

본 연구에서는 word length reduction 기법, 병렬화된 weak classifier, BT.1120 인터페이스를 적용한 AdaBoost 기반 얼굴 검출 가속기를 FPGA기반으로 테스트 하였고, 7fps로 동작하는 것을 확인하였다. 전용 칩 테스트 보드를 제작 중에 있으며, 제작 완료 후 칩 동작 검증 환경을 구성하여 테스트를 진행할 예정이다.

Phase	Task	Description
Front-end	1	RTL Design & Function Simulation
	2	Synthesis
	3	Design Rule Check
	4	Formal Verification
	5	Pre-layout Static Timing Analysis
	6	Pre-layout Simulation with SDF
Back-end	7	Place & Route
	8	RC Extraction
	9	Post-layout Static Timing Analysis
	10	Post-layout Simulation with SDF
	11	Static Power Analysis
	12	Physical Verification

표 2. ASIC 개발 과정 및 Task

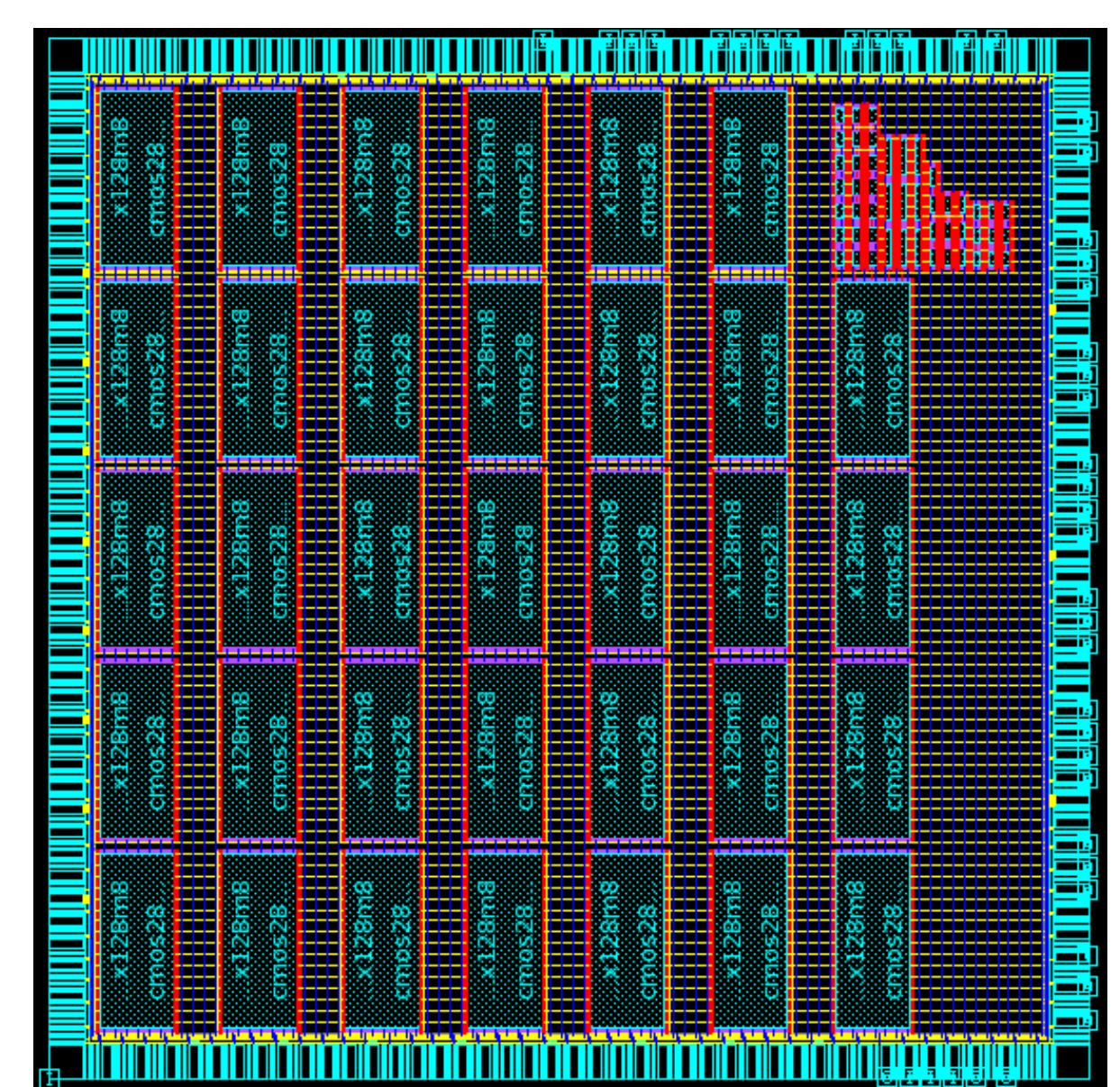


그림 2. 칩 레이아웃

참고문헌

[1] J. Kim, J. Hyun, and B. Moon, "Low-cost Hardware Architecture for Integral Image Generation using Word Length Reduction," Proc. Int. SoC Design Conf. (ISOC), pp. 119-120, 2020.

감사의 글

본 연구는 IDEC에서 MPW와 EDA Tool을 지원받아 수행하였습니다. 본 연구는 2020년도 정부산업통상자원부의 재원으로 한국연구재단실종아동 등 신원확인을 위한 복합인지기술개발사업의 지원을 받아 수행된 연구임 (NRF-2018M3E3A1057248).

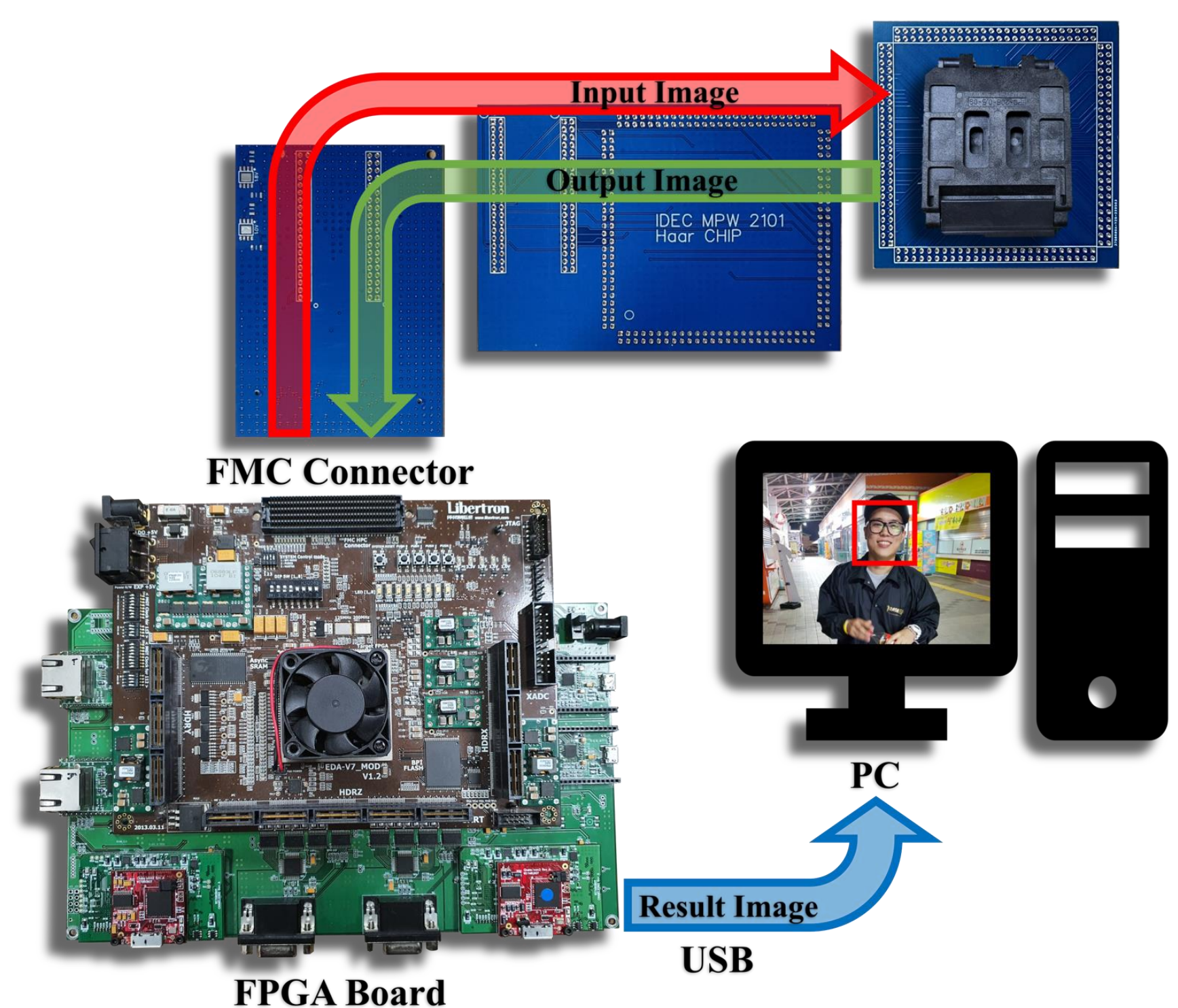


그림 3. 칩 동작 검증 환경